

明 細 書

過電流検出回路及びそれを備えたレギュレータ

技術分野

- [0001] 本発明は、例えば電源電圧を所定のDC電圧に変換するレギュレータにおいて負荷に電流を出力する構成要素としての出力トランジスタに過電流が流れた場合に、これを検出して保護する過電流検出回路及びその過電流検出回路を備えたレギュレータに関する。

背景技術

- [0002] スイッチングレギュレータやシリーズレギュレータなどのレギュレータは、入力する電源電圧と負荷に接続され所定のDC電圧を出力する端子の間に出力トランジスタを設け、その出力トランジスタを制御することにより所定のDC電圧を維持する。そして、負荷が短絡した場合などの異常時に、出力トランジスタが過電流により破壊するのを防止するために、過電流を検出して保護する回路が設けられる(例えば特許文献1)。
- [0003] 図4に従来の過電流検出回路及びそれを備えたレギュレータを示す。このレギュレータ101は、P型MOSTランジスタである出力トランジスタ11と、出力トランジスタ11の出力を平滑化する平滑化回路12と、平滑化した所定のDC電圧を出力する出力端子OUTと、出力端子OUTの電圧をフィードバック入力して出力トランジスタ11を制御する制御回路14と、出力トランジスタ11の過電流を検出して保護する過電流検出回路110aと、から構成される。出力端子OUTには負荷13が接続される。
- [0004] 過電流検出回路110aは、電源電圧 V_{cc} にソースが、出力トランジスタ11のゲートにゲートが接続されたP型MOSTランジスタであるモニタ用トランジスタ121と、モニタ用トランジスタ121のドレインに接続され他端が接地された出力電流検出用抵抗122と、モニタ用トランジスタ121のドレインと出力電流検出用抵抗122の接続点にゲートが、制御回路14にドレインが接続され、ソースが接地されたN型MOSTランジスタである過電流検出出力トランジスタ123と、から構成される。ここで、モニタ用トランジスタ121のサイズは出力トランジスタ11の $1/N$ に設定されている。そして、モニタ用トラン

ジスタ121に流れる電流は過電流検出にだけ用いられるので、電力損失を大きくしないため、その電流値を小さくするようNは大きな値の自然数とされる。

[0005] 今、出力トランジスタ11に出力電流 I_o が流れると、モニタ用トランジスタ121にはほぼ I_o/N の電流が流れ、それに応じた電圧が接地電位を基準にして出力電流検出用抵抗122に生じる。そして、出力電流 I_o が過電流となり、この電圧が過電流検出出力トランジスタ123のしきい値(V_{th})を超えると過電流検出出力トランジスタ123がローレベルを出力する。これにより、制御回路14は、出力トランジスタ11の出力電流が過電流検出レベルを超えたとして(過電流が流れていると判断して)出力トランジスタ11をオフする。ここで、過電流検出レベルは、モニタ用トランジスタ121のサイズと出力電流検出用抵抗122の抵抗値によって調整することができる。

[0006] 次に、従来の別の過電流検出回路及びそれを備えたレギュレータを図5に示す。このレギュレータ102は、過電流検出回路110b以外は上述のレギュレータ101と実質的に同じ構成であり、過電流検出回路110bも、上述の過電流検出回路110aと同様に、モニタ用トランジスタ121と、出力電流検出用抵抗122と、を有している。そして、過電流検出回路110bは、過電流検出出力トランジスタ123の代わりに、過電流検出出力用コンパレータ125を有している。この過電流検出出力用コンパレータ125は、モニタ用トランジスタ121と出力電流検出用抵抗122の接続点に反転入力端子が、過電流検出用基準電圧124に非反転入力端子が、制御回路14に出力端子が、それぞれ接続されている。

[0007] このものも、出力トランジスタ11に出力電流 I_o が流れると、モニタ用トランジスタ121にはほぼ I_o/N の電流が流れ、それに応じた電圧が接地電位を基準にして出力電流検出用抵抗122に生じる。そして、出力電流 I_o が過電流となり、この電圧が過電流検出用基準電圧124を超えると過電流検出出力用コンパレータ125がローレベルを出力する。これにより、制御回路14は、出力トランジスタ11の出力電流が過電流検出レベルを超えたとして出力トランジスタ11をオフする。ここで、過電流検出レベルは、モニタ用トランジスタ121のサイズ、出力電流検出用抵抗122の抵抗値及び過電流検出用基準電圧124の値によって調整することができる。

[0008] 特許文献1:特開平8-331757号公報

発明の開示

発明が解決しようとする課題

[0009] このように、過電流検出回路110a及び110bは、出力トランジスタ11に流れる過電流を検出することができる。ところで、過電流検出回路の過電流検出レベルのより高精度化を研究している本願発明者は、これら過電流検出回路110a及び110bにおいては、出力電流検出用抵抗122に生じる電圧、すなわち、モニタ用トランジスタ121のドレイン電圧は接地電位を基準にしており、出力トランジスタ11のドレイン電圧は接地電位を基準にしていないことに着目した。すなわちこれにより、モニタ用トランジスタ121のドレインの電圧は出力トランジスタ11のドレインの電圧と異なり、その結果、モニタ用トランジスタ121の電流は、 I_o/N の値からずれてくることを想定したのである。

[0010] 従って、このずれを予め算出し、出力電流検出用抵抗122の抵抗値を変えて過電流検出レベルを調整することも考えられるものの、入力する電源電圧 V_{cc} が変動した場合にはずれの程度も変化するので、この対策は効果的ではない。

[0011] また、本願発明者は、温度が変動したとき、モニタ用トランジスタ121及び出力トランジスタ11と出力電流検出用抵抗122とは温度特性が異なることによる過電流検出レベルへの影響にも着目した。また、過電流検出回路110aにおいては、過電流検出出力トランジスタ123の特性も変動するため、更に過電流検出レベルは変動すると想定したのである。

[0012] 本発明は、以上の事由に鑑みてなされたもので、その目的とするところは、入力する電源電圧や温度が変動した場合の過電流検出レベルの変動を抑制することができる過電流検出回路及びそれを備えたレギュレータを提供することにある。

課題を解決するための手段

[0013] 上記の課題を解決するために、本発明の望ましい実施形態に係る過電流検出回路は、電源電圧が入力端に、制御電圧が制御端に入力されて出力端から出力電流を出力する出力トランジスタに過電流が流れたときそれを検出する過電流検出回路であって、出力トランジスタの制御端及び出力端にそれぞれ制御端及び出力端が接続されるモニタ用トランジスタと、電源電圧が入力端に、検出用バイアス電圧が制御

端に入力され、出力端がモニタ用トランジスタの入力端に接続される出力電流検出用トランジスタと、基準電流を生成する定電流源と、電源電圧が入力端に、検出用バイアス電圧が制御端に入力されて出力端から前記定電流源に前記基準電流を流し込むリファレンス用トランジスタと、出力電流検出用トランジスタの出力端の電圧とリファレンス用トランジスタの出力端の電圧を比較することにより、出力トランジスタに過電流が流れたときそれを検出して過電流検出信号を出力する比較回路と、を備えてなる。

[0014] 前記出力トランジスタ、前記モニタ用トランジスタ、前記出力電流検出用トランジスタ、及び前記リファレンス用トランジスタは、望ましくは、P型MOSトランジスタである。

[0015] 前記比較回路は、望ましくは、前記定電流源とリファレンス用トランジスタの間に介装されたダイオード接続の第1の比較用トランジスタと、前記定電流源が生成する基準電流の所定倍の電流を生成する第2の定電流源と、第2の定電流源と出力電流検出用トランジスタの間に介装され、第1の比較用トランジスタの制御端に制御端が接続された第2の比較用トランジスタと、を備えてなる。

[0016] 本発明の望ましい実施形態に係るレギュレータは、上述の過電流検出回路を備えたレギュレータであって、電源電圧と所定のDC電圧を出力する出力端子との間に出力トランジスタを設け、出力端子の電圧をフィードバック入力して所定のDC電圧を維持すべく出力トランジスタを制御するとともに、過電流検出回路の過電流検出信号が入力されると、出力トランジスタをオフする制御回路を設けてなる。

発明の効果

[0017] 本発明の望ましい実施形態に係る過電流検出回路は、モニタ用トランジスタと出力電流検出用トランジスタの直列体を出力トランジスタと並列に設け、かつリファレンス用トランジスタを出力電流検出用トランジスタと並列に設け、出力電流検出用トランジスタの出力をリファレンス用トランジスタの出力と比較することで過電流を検出しているので、入力する電源電圧や温度が変動しても、それらのトランジスタの特性は相対的には余り変動しないので、過電流検出レベルの変動を抑制することができる。また、それを備えたレギュレータは、過電流検出レベルが安定するので、信頼性を向上させることができる。

図面の簡単な説明

[0018] [図1]本発明の実施形態に係る過電流検出回路とそれを備えるレギュレータの回路図である。

[図2]同上の動作波形図である。

[図3]本発明の別の実施形態に係る過電流検出回路とそれを備えるレギュレータの回路図である。

[図4]背景技術の過電流検出回路とそれを備えるレギュレータの回路図である。

[図5]背景技術の別の過電流検出回路とそれを備えるレギュレータの回路図である。

符号の説明

- [0019]
- 1、2 レギュレータ
 - 10a、10b 過電流検出回路
 - 11 出力トランジスタ
 - 13 負荷
 - 21 モニタ用トランジスタ
 - 22a、22b 出力電流検出用トランジスタ
 - 23 リファレンス用トランジスタ
 - 24 定電流源
 - 25a、25b 比較回路
 - 28 検出用バイアス電圧
 - 31 第1の比較用トランジスタ
 - 32 第2の比較用トランジスタ
 - 33 第2の定電流源
 - V_{cc} 入力する電源電圧
 - OUT レギュレータの出力端子

発明を実施するための最良の形態

[0020] 以下、本発明の最良の実施形態を図面を参照しながら説明する。図1は本発明の実施形態である過電流検出回路とそれを備えるレギュレータの回路図である。このレギュレータ1は、電源電圧 V_{cc} と出力端子OUTの間にP型MOSTランジスタである出

カトランジスタ11を設け、出力トランジスタ11を制御することにより出力端子OUTを所定のDC電圧に維持するとともに、出力トランジスタ11に過電流が流れた場合には過電流検出回路10aがそれを検出して出力トランジスタ11をオフするものである。更に詳しく説明すると、このレギュレータ1は、電源電圧 V_{cc} を入力端(ソース)に入力し、制御電圧を制御端(ゲート)に入力し、出力電流 I_o を出力端(ドレイン)から出力する出力トランジスタ11と、出力トランジスタ11の出力端に生じる電圧を平滑化する平滑化回路12と、平滑化した所定のDC電圧を出力する出力端子OUTと、出力端子OUTの電圧をフィードバック入力して所定のDC電圧を維持すべく図1における節点Cから出力トランジスタ11を制御するとともに、過電流検出回路10aの過電流検出信号が節点Dから入力されると、出力トランジスタ11をオフすべく節点Cの制御電圧を電源電圧 V_{cc} レベルにする制御回路14と、出力トランジスタ11に過電流が流れた場合にそれを検出し、その過電流検出信号を節点Dから制御回路14に出力する過電流検出回路10aと、を備える。出力端子OUTには負荷13が接続される。

[0021] 過電流検出回路10aは、出力トランジスタ11の制御端(ゲート)及び出力端(ドレイン)にそれぞれ制御端(ゲート)及び出力端(ドレイン)が接続されるP型MOSTランジスタであるモニタ用トランジスタ21と、電源電圧 V_{cc} が入力端(ソース)に、検出用バイアス電圧28が制御端(ゲート)に入力され、出力端(ドレイン)がモニタ用トランジスタ21の入力端(ソース)に接続されるP型MOSTランジスタである出力電流検出用トランジスタ22aと、基準電流 I_{REF} (例えば $10\mu A$)を生成するN型MOSTランジスタである定電流源24と、電源電圧 V_{cc} が入力端(ソース)に、検出用バイアス電圧28が制御端(ゲート)に入力されて出力端(ドレイン)から定電流源24に基準電流 I_{REF} を流し込むP型MOSTランジスタであるリファレンス用トランジスタ23と、出力電流検出用トランジスタ22aの出力端(ドレイン)の電圧(すなわち図1における節点Bの電圧)とリファレンス用トランジスタ23の出力端(ドレイン)の電圧(すなわち図1における節点Aの電圧)を比較して検出信号を節点Dに出力するコンパレータからなる比較回路25aと、を備える。この比較回路25aは、さらに具体的には、出力トランジスタ11に過電流が流れていないときはハイレベルの検出信号を出力し、過電流が流れたときそれを検出してローレベルの過電流検出信号を出力する。つまり、過電流検出回路10aは、

モニタ用トランジスタ21と出力電流検出用トランジスタ22aの直列体を出力トランジスタ11と並列に設け、かつリファレンス用トランジスタ23を出力電流検出用トランジスタ22aと並列に設け、出力電流検出用トランジスタ22aの出力をリファレンス用トランジスタ23の出力と比較することで過電流を検出しているのである。また、モニタ用トランジスタ21、出力電流検出用トランジスタ22a及びリファレンス用トランジスタ23のサイズは等しく、そして出力トランジスタ11のサイズの $1/N$ (例えば $1/50000$)に設定されている。なお、過電流検出回路10aは、更にN型MOSTランジスタ26及び定電流源27を備え、それらは、定電流源24の電流値を決めるものである。

[0022] また、出力電流検出用トランジスタ22aとリファレンス用トランジスタ23の制御端に共通に入力される検出用バイアス電圧28は、モニタ用トランジスタ21の制御端(ゲート)の電圧にほぼ一致させることが望ましい。例えば、レギュレータ1がスイッチングレギュレータの場合は、検出用バイアス電圧28を接地電圧レベルにするのが望ましい。

[0023] 次に、過電流検出回路10aの動作を図2の動作波形図に基づいて説明する。この動作波形図は、節点A及びBの動作波形(曲線Aと曲線B)、すなわち出力電流 I_0 に対する節点A及びBの電圧の変化と、比較回路25aの動作波形、すなわち検出信号出力(節点Dの電圧)の変化を示している。モニタ用トランジスタ21と出力電流検出用トランジスタ22aのサイズは出力トランジスタ11の $1/N$ に設定されているので、出力トランジスタ11に出力電流 I_0 が流れると、直列接続された(直列体の)モニタ用トランジスタ21及び出力電流検出用トランジスタ22aに流れる電流 I_1 はほぼ $I_0/2N$ となる。すなわち、モニタ用トランジスタ21と出力電流検出用トランジスタ22aの等価抵抗の値を R とすると、出力トランジスタ11の等価抵抗の値は R/N であるから、以下の式が成立する。

$$RI_1 + RI_1 = RI_0/N \quad \dots(1)$$

よって、

$$I_1 = I_0/2N \quad \dots(2)$$

となる。

[0024] そして、節点Bには、出力電流検出用トランジスタ22aに $I_0/2N$ の電流を流すために必要な電圧が電源電圧 V_{cc} を基準にして生じている。節点Bの電圧は、出力トラン

ジスタ11の出力電流 I_o が増加すると直線的に降下する。一方、節点Aには、リファレンス用トランジスタ23に基準電流 I_{REF} を流すために必要な電圧が電源電圧 V_{CC} を基準にして生じている。従って、出力トランジスタ11の出力電流 I_o が増加し、モニタ用トランジスタ21及び出力電流検出用トランジスタ22aに流れる電流 $I_o/2N$ が基準電流 I_{REF} の値を超えると、すなわち、節点Bの電圧が節点Aの電圧以下に降下すると、比較回路25aの出力である節点Dの検出信号はハイレベルからローレベル(過電流検出信号)に変化する。具体的には、 N を50000に、基準電流 I_{REF} を $10\mu A$ に、それぞれ設定すると、出力トランジスタ11の電流 I_o がほぼ1A(アンペア)以上で、節点Dの検出信号はローレベルになる。その結果、制御回路14は、出力トランジスタ11の出力電流 I_o が過電流検出レベル I_E を超えたとして(過電流が流れていると判断して)出力トランジスタ11をオフする。

[0025] ここで、直列体のモニタ用トランジスタ21及び出力電流検出用トランジスタ22a、さらにはリファレンス用トランジスタ23の各出力端(ドレイン)の電圧は、出力トランジスタ11と同様に、流れる電流の値に応じて電源電圧 V_{CC} を基準に生じている。従って、これらトランジスタの出力端(ドレイン)の電圧が他の素子の影響で変動することによってそれらに流れる電流の比率がサイズの比率からずれることが抑制される。そして、電源電圧 V_{CC} が変動した場合でも、これらのトランジスタの出力端(ドレイン)の電圧は、電源電圧 V_{CC} を基準に生じているので、その影響を受けず、過電流検出レベル I_E の変動はほとんど起こらないのである。

[0026] また、出力トランジスタ11、モニタ用トランジスタ21、出力電流検出用トランジスタ22a及びリファレンス用トランジスタ23は、全てP型MOSトランジスタであるので、同じ温度特性を有する。従って、モニタ用トランジスタ21、出力電流検出用トランジスタ22a及びリファレンス用トランジスタ23の特性は、温度が変動しても出力トランジスタ11と同じように変化することとなり、温度の変動によって生じる過電流検出レベル I_E の変動を抑制することができる。

[0027] 次に、本発明の他の実施形態である過電流検出回路とそれを備えるレギュレータを、図3に基づいて説明する。このレギュレータ2は、過電流検出回路10b以外は、上述のレギュレータ1と実質的に同じ構成であるので、過電流検出回路10bについて以

下説明を行う。

- [0028] 過電流検出回路10bは、過電流検出回路10aと同様に、モニタ用トランジスタ21と、出力電流検出用トランジスタ22bと、リファレンス用トランジスタ23と、基準電流 I_{REF} を生成する定電流源24と、を備える。ただし、モニタ用トランジスタ21及びリファレンス用トランジスタ23のサイズは過電流検出回路10aと同様に設定されているが、出力電流検出用トランジスタ22bのサイズは、モニタ用トランジスタ21及びリファレンス用トランジスタ23の2倍に設定されている。
- [0029] そして、過電流検出回路10bは、先の実施形態におけるコンパレータからなる比較回路25aを、別の回路構成を有する比較回路25bに替えている。比較回路25bは、定電流源24とリファレンス用トランジスタ23の間に介装されたダイオード接続の(出力端(ドレイン)と制御端(ゲート)が接続された)P型MOSTランジスタである第1の比較用トランジスタ31と、定電流源(N型MOSTランジスタ)24とゲート電圧を共通にすることで定電流源24が生成する基準電流 I_{REF} の所定倍(ここでは1倍)の電流を生成する第2の定電流源33と、第2の定電流源33と出力電流検出用トランジスタ22bの間に介装され、第1の比較用トランジスタ31の制御端(ゲート)に制御端(ゲート)が接続されたP型MOSTランジスタである第2の比較用トランジスタ32と、を備える。従って、第2の比較用トランジスタ32の入力端(ソース)の電位が第1の比較用トランジスタ31の入力端(ソース)よりも降下すると、第2の比較用トランジスタ32には電流は流れなくなる(オフする)。
- [0030] 次に、過電流検出回路10bの動作を説明する。モニタ用トランジスタ21とリファレンス用トランジスタ23の等価抵抗の値を R とすると、出力電流検出用トランジスタ22bの等価抵抗の値は $R/2$ であり、出力トランジスタ11の等価抵抗の値は R/N である。出力電流検出用トランジスタ22bに流れる電流は、モニタ用トランジスタ21に流れる電流 I_1 と第2の定電流源33に流れ込む電流 I_{REF} とに分岐する。従って、節点Bには、出力電流検出用トランジスタ22bに電流 $I_{REF} + I_1$ を流すために必要な電圧 $R(I_{REF} + I_1)/2$ が電源電圧 V_{CC} を基準にして生じる。そして、
- $$R(I_{REF} + I_1)/2 + RI_1 = RI_0/N \quad \dots (3)$$
- が成立し、この式を満たすようモニタ用トランジスタ21に電流 I_1 が流れることになる。

[0031] 一方、節点Aには、リファレンス用トランジスタ23に基準電流 I_{REF} を流すために必要な電圧 $R I_{REF}$ が電源電圧 V_{CC} を基準にして生じている。節点Bの電圧が節点Aの電圧と等しくなると、

$$R(I_{REF} + I_1)/2 = R I_{REF} \quad \dots (4)$$

が成立する。これを解くと、

$$I_1 = I_{REF} \quad \dots (5)$$

となる。そして、(5)式を(3)式に代入すると、

$$I_1 = I_{REF} = I_0/2N \quad \dots (6)$$

となる。そして、モニタ用トランジスタ21に流れる電流 I_1 が電流 I_{REF} を超えると、節点Bの電圧は節点Aよりも降下するので、第2の比較用トランジスタ32はオフし、比較回路25bの出力、すなわち節点Dの検出信号はハイレベルからローレベル(過電流検出信号)に変化する。具体的には、 N を50000と、基準電流 I_{REF} を $10\mu A$ と、それぞれ設定すると、出力トランジスタ11の出力電流 I_0 が1A以上で、節点Dの検出信号はローレベルになる。

[0032] このように、過電流検出回路10bは、過電流検出回路10aと同様に、出力トランジスタ11に過電流が流れた場合、それを検出して過電流検出信号を節点Dから制御回路14に出力することができる。加えて、この過電流検出回路10bの比較回路25bは、過電流検出回路10aの比較回路25aのようなコンパレータを用いていないので、回路を構成する素子数を削減することができ、占有面積及び消費電力を減少させることができる。

[0033] なお、過電流検出回路10a又は10bにおいて、過電流検出レベル I_E を調整するには基準電流 I_{REF} を変えればよい。また、過電流検出回路10bにおいて、定電流源(N型MOSTランジスタ)24に対して第2の定電流源(N型MOSTランジスタ)33のサイズを変えて流れる電流値の所定の倍率を変えることによって、過電流検出レベル I_E を調整することも可能である。例えば、第2の定電流源(N型MOSTランジスタ)33のサイズを $1/2$ にすると、

$$I_{REF} = 2I_0/5N \quad \dots (7)$$

で、節点Bの電圧が節点Aの電圧と等しくなる。従って、 N を50000と、基準電流 I_{REF}

を $10\mu\text{A}$ と、それぞれ設定すると、過電流検出レベル I_E は 1.25A となる。

- [0034] また、モニタ用トランジスタ21及び出力電流検出用トランジスタ22a(22b)に対してリファレンス用トランジスタ23のサイズ比を変えることによって、過電流検出レベル I_E を調整することも可能である。例えば、過電流検出回路10aにおいて、リファレンス用トランジスタ23のサイズをモニタ用トランジスタ21及び出力電流検出用トランジスタ22aの $1/2$ とすると、上記条件(N が50000、基準電流 I_{REF} が $10\mu\text{A}$)で、過電流検出レベル I_E は 2A となる。また、過電流検出回路10bにおいて、リファレンス用トランジスタ23のサイズをモニタ用トランジスタ21の $1/2$ とすると、

$$I_{\text{REF}} = I_0 / 5N \quad \dots (8)$$

で、節点Bの電圧が節点Aの電圧と等しくなる。従って、上記条件(N が50000、基準電流 I_{REF} が $10\mu\text{A}$)で、過電流検出レベル I_E は 2.5A となる。

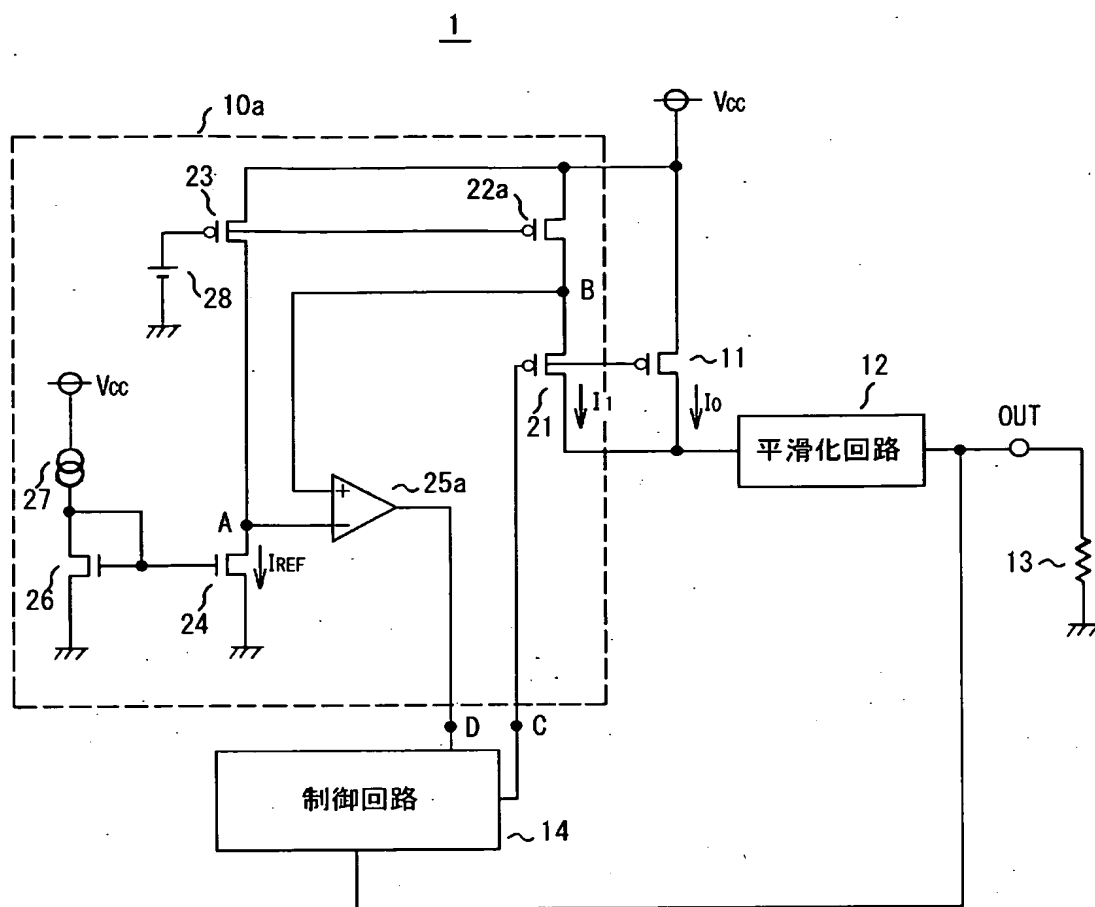
- [0035] また、本発明は、上述した実施形態に限られることなく、請求の範囲に記載した事項の範囲内でのさまざまな設計変更が可能である。例えば、上述した実施形態では、レギュレータの出力トランジスタ11をP型MOSTランジスタとし、過電流検出回路のモニタ用トランジスタ21、出力電流検出用トランジスタ22a(22b)及びリファレンス用トランジスタ23は全てP型MOSTランジスタにしたもので説明したが、出力トランジスタ11をN型MOSTランジスタ、PNP型バイポーラトランジスタあるいはNPN型バイポーラトランジスタにすることも可能であり、その場合、モニタ用トランジスタ21、出力電流検出用トランジスタ22a(22b)及びリファレンス用トランジスタ23をそれらの型に合わせて過電流検出回路を構成すればよいことは勿論のことである。

請求の範囲

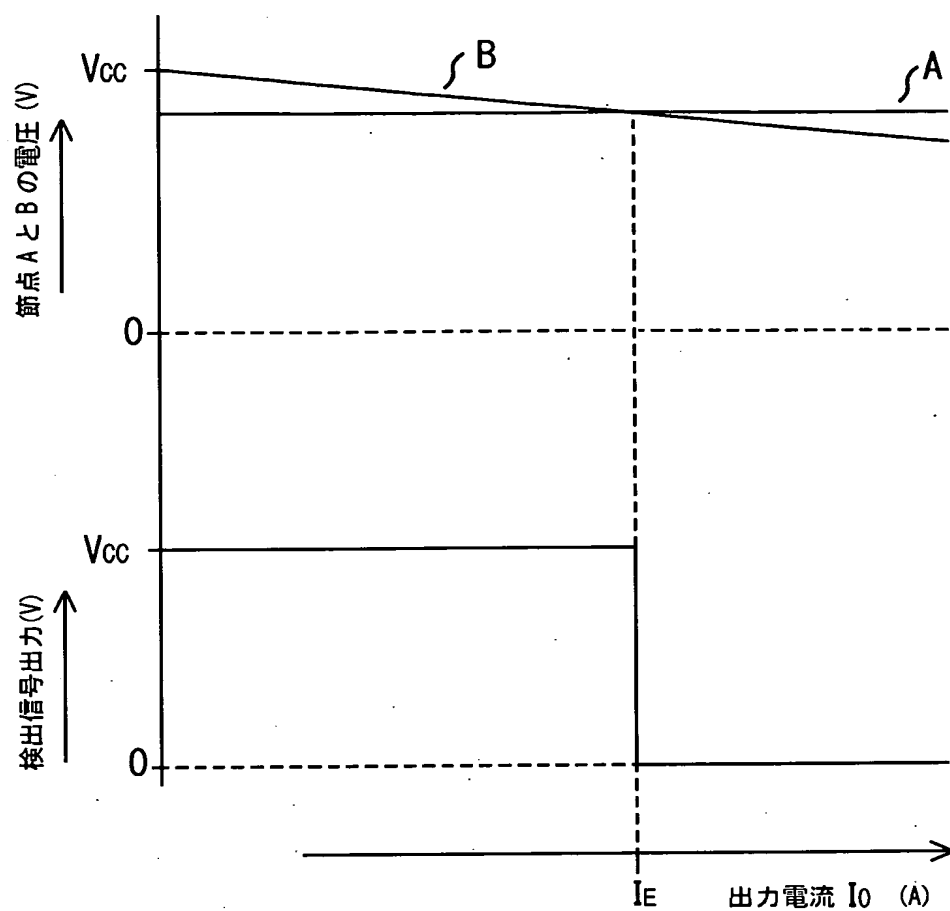
- [1] 電源電圧が入力端に、制御電圧が制御端に入力されて出力端から出力電流を出力する出力トランジスタに過電流が流れたときそれを検出する過電流検出回路であって、
- 出力トランジスタの制御端及び出力端にそれぞれ制御端及び出力端が接続されるモニタ用トランジスタと、
- 電源電圧が入力端に、検出用バイアス電圧が制御端に入力され、出力端がモニタ用トランジスタの入力端に接続される出力電流検出用トランジスタと、
- 基準電流を生成する定電流源と、
- 電源電圧が入力端に、検出用バイアス電圧が制御端に入力されて出力端から前記定電流源に前記基準電流を流し込むリファレンス用トランジスタと、
- 出力電流検出用トランジスタの出力端の電圧とリファレンス用トランジスタの出力端の電圧を比較することにより、出力トランジスタに過電流が流れたときそれを検出して過電流検出信号を出力する比較回路と、
- を備えてなることを特徴とする過電流検出回路。
- [2] 請求項1に記載の過電流検出回路において、
- 前記出力トランジスタ、前記モニタ用トランジスタ、前記出力電流検出用トランジスタ、及び前記リファレンス用トランジスタはP型MOSTランジスタであることを特徴とする過電流検出回路。
- [3] 請求項1又は2に記載の過電流検出回路において、
- 前記比較回路は、前記定電流源とリファレンス用トランジスタの間に介装されたダイオード接続の第1の比較用トランジスタと、前記定電流源が生成する基準電流の所定倍の電流を生成する第2の定電流源と、第2の定電流源と出力電流検出用トランジスタの間に介装され、第1の比較用トランジスタの制御端に制御端が接続された第2の比較用トランジスタと、を備えてなることを特徴とする過電流検出回路。
- [4] 請求項1乃至3のいずれかに記載の過電流検出回路を備えたレギュレータであって、
- 電源電圧と所定のDC電圧を出力する出力端子との間に出力トランジスタを設け、

出力端子の電圧をフィードバック入力して所定のDC電圧を維持すべく出力トランジスタを制御するとともに、過電流検出回路の過電流検出信号が入力されると、出力トランジスタをオフする制御回路を設けてなることを特徴とするレギュレータ。

[図1]

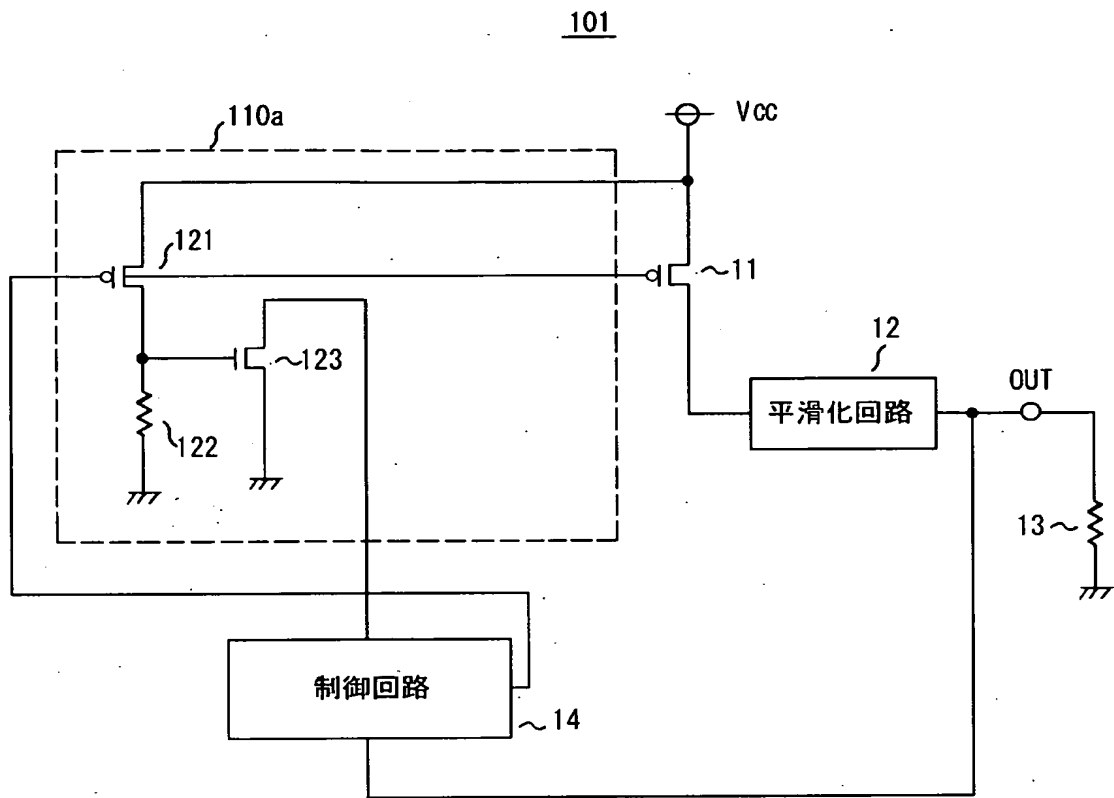


[図2]

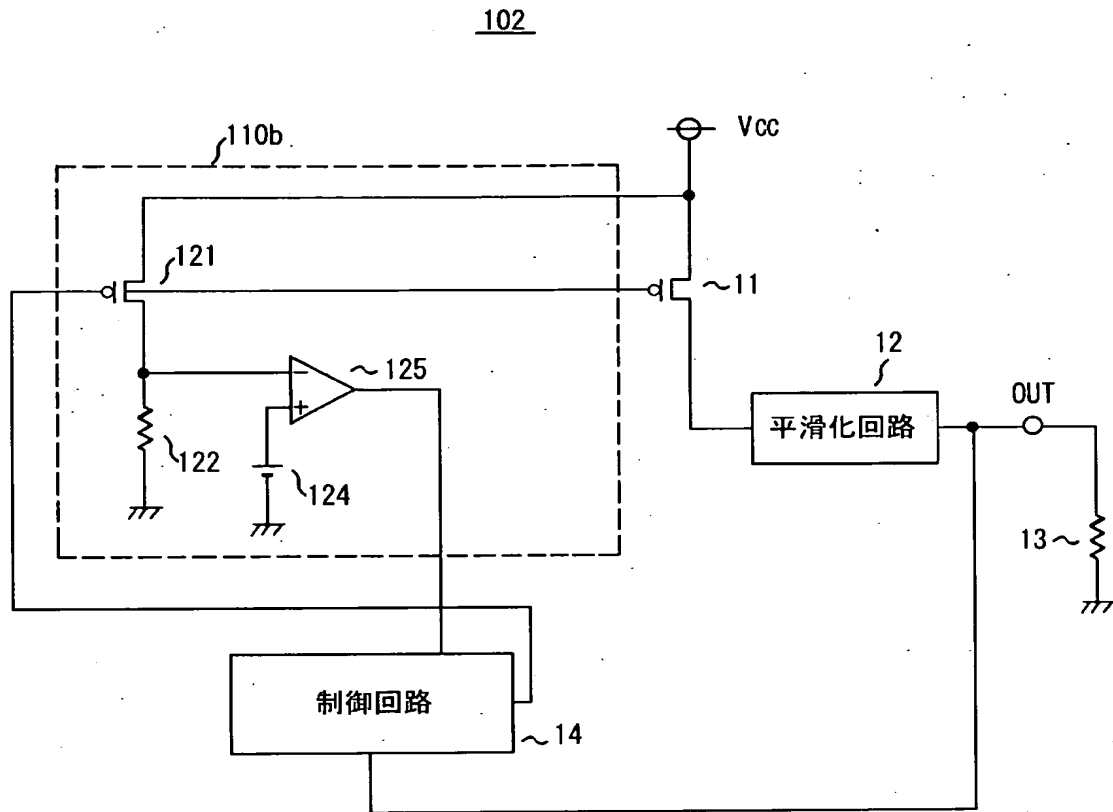


The circuit diagram shows a current source circuit enclosed in a dashed box labeled 10b. It includes several transistors and resistors. A PMOS transistor 23 has its gate connected to Vcc and its source to node A. Node A is also connected to the gates of NMOS transistors 31 and 32. The drains of 31 and 32 are connected to Vcc. A resistor 28 is connected between node A and ground. An NMOS transistor 26 has its gate connected to Vcc and its source to ground. Its drain is connected to the gates of NMOS transistors 24 and 33. The drains of 24 and 33 are connected to ground. A resistor 27 is connected between Vcc and the gate of 26. A PMOS transistor 22b has its gate connected to Vcc and its source to node B. Node B is also connected to the gates of NMOS transistors 21 and 32. The drains of 21 and 32 are connected to Vcc. A resistor 25b is connected between node B and ground. A PMOS transistor 11 has its gate connected to Vcc and its source to node C. Node C is also connected to the gates of NMOS transistors 21 and 32. The drains of 21 and 32 are connected to Vcc. A resistor 21 is connected between node C and ground. A PMOS transistor 12 has its gate connected to Vcc and its source to node D. Node D is also connected to the gates of NMOS transistors 21 and 32. The drains of 21 and 32 are connected to Vcc. A resistor 13 is connected between node D and ground. A control circuit 14 is connected to nodes C and D. The output of the circuit is OUT, which is connected to node D through a resistor 13.

[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000605

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G05F1/56, 1/10, H02H3/087

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G05F1/00-1/70, H02H3/08-3/253

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-76133 A (New Japan Radio Co., Ltd.), 26 March, 1993 (26.03.93), Par. Nos. [0002] to [0003]; Fig. 3 (Family: none)	1-4
A	US 2003/0122530 A1 (Takahiro HIKITA), 03 July, 2003 (03.07.03), Full text; Figs. 1 to 4 & JP 2003-173211 A	1-4
A	JP 8-331757 A (Toshiba Corp., Toshiba Information Systems(Japan) Corp.), 13 December, 1996 (13.12.96), Full text; Figs. 1 to 4 (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 April, 2005 (04.04.05)Date of mailing of the international search report
19 April, 2005 (19.04.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000605

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-322185 A (NEC CORP.), 04 December, 1998 (04.12.98), Par. Nos. [0003] to [0006]; Fig. 3 (Family: none)	1-4
A	US 5159516 A (Tatsuhiko FUJIHIRA), 27 October, 1992 (27.10.92), Fig. 3 & JP 5-26912 A & GB 2253709 A & DE 4207568 A	1-4
A	EP 0881769 A2 (NEC CORP.), 02 December, 1998 (02.12.98), Fig. 2 & JP 10-332751 A & US 5973551 A	1-4

A. 発明の属する分野の分類 (国際特許分類 (IPC)).

Int.Cl.⁷

G 0 5 F 1 / 5 6 , 1 / 1 0 , H 0 2 H 3 / 0 8 7

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷G 0 5 F 1 / 0 0 - 1 / 7 0
H 0 2 H 3 / 0 8 - 3 / 2 5 3

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 5-76133 A (新日本無線株式会社) 26.03.1993, 【0002】-【0003】, 図3 (ファミリーなし)	1-4
A	US 2003/0122530 A1 (Takahiro HIKITA) 03.07.2003, 全文, 図1-図4 & JP 2003-173211 A	1-4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

04.04.2005

国際調査報告の発送日

19.4.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-331757 A (株式会社東芝、東芝情報システム株式会社) 13. 12. 1996, 全文, 図1-4 (ファミリーなし)	1-4
A	JP 10-322185 A (日本電気株式会社) 04. 12. 1998, 【0003】 - 【0006】, 図3 (ファミリーなし)	1-4
A	US 5159516 A (Tatsuhiko FUJIHIRA) 27. 10. 1992, 図3 & JP 5-26912 A & GB 2253709 A & DE 4207568 A	1-4
A	EP 0881769 A2 (NEC CORPORATION) 02. 12. 1998, 図2 & JP 10-332751 A & US 5973551 A	1-4